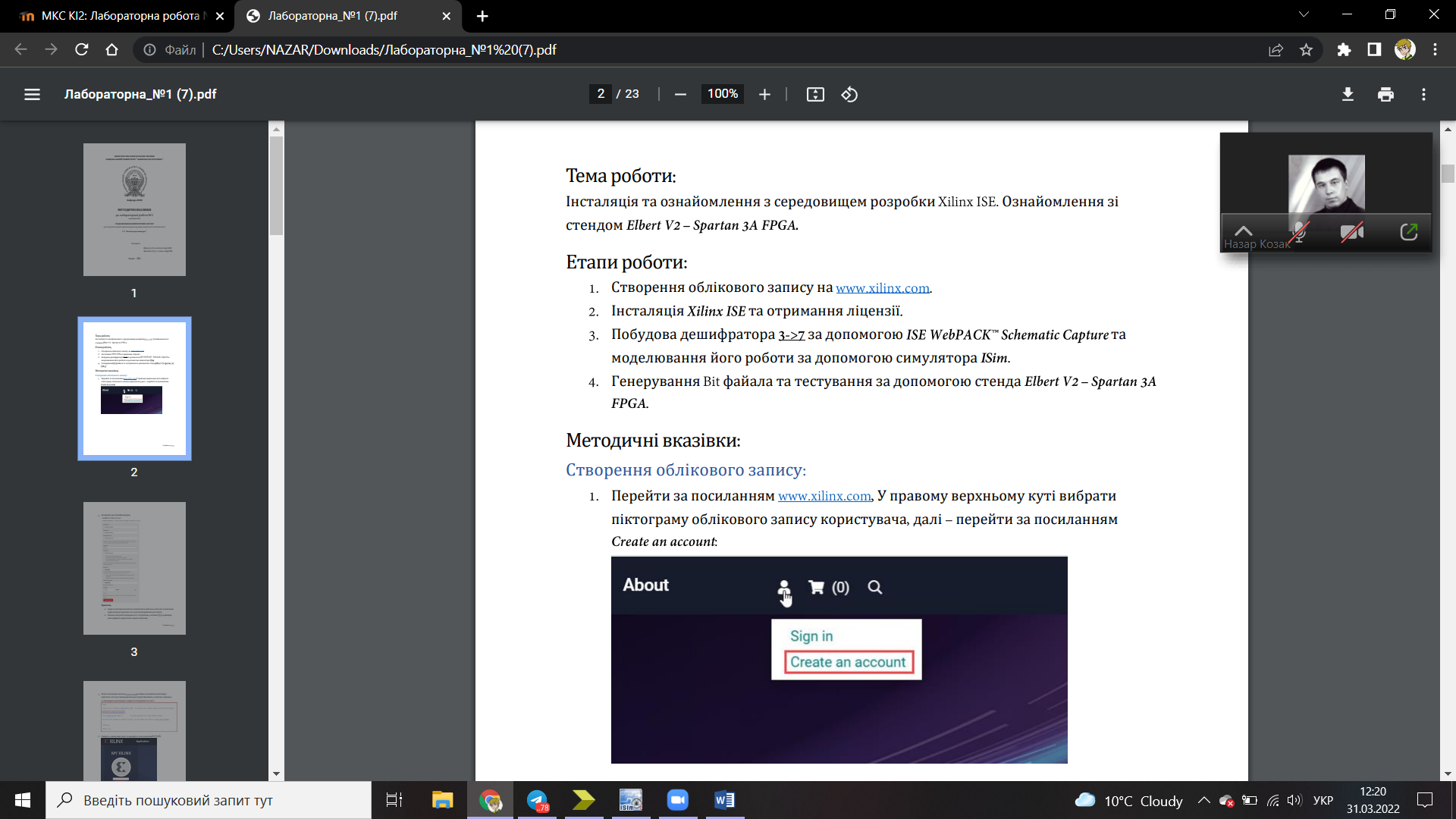
1. Міністерство освіти і науки
2. Національний університет „Львівська політехніка”
3. 
4. **Звіт**
5. з лабораторної роботи № 1
6. з дисципліни: “Моделювання комп’ютерних систем”

на тему: “Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.”

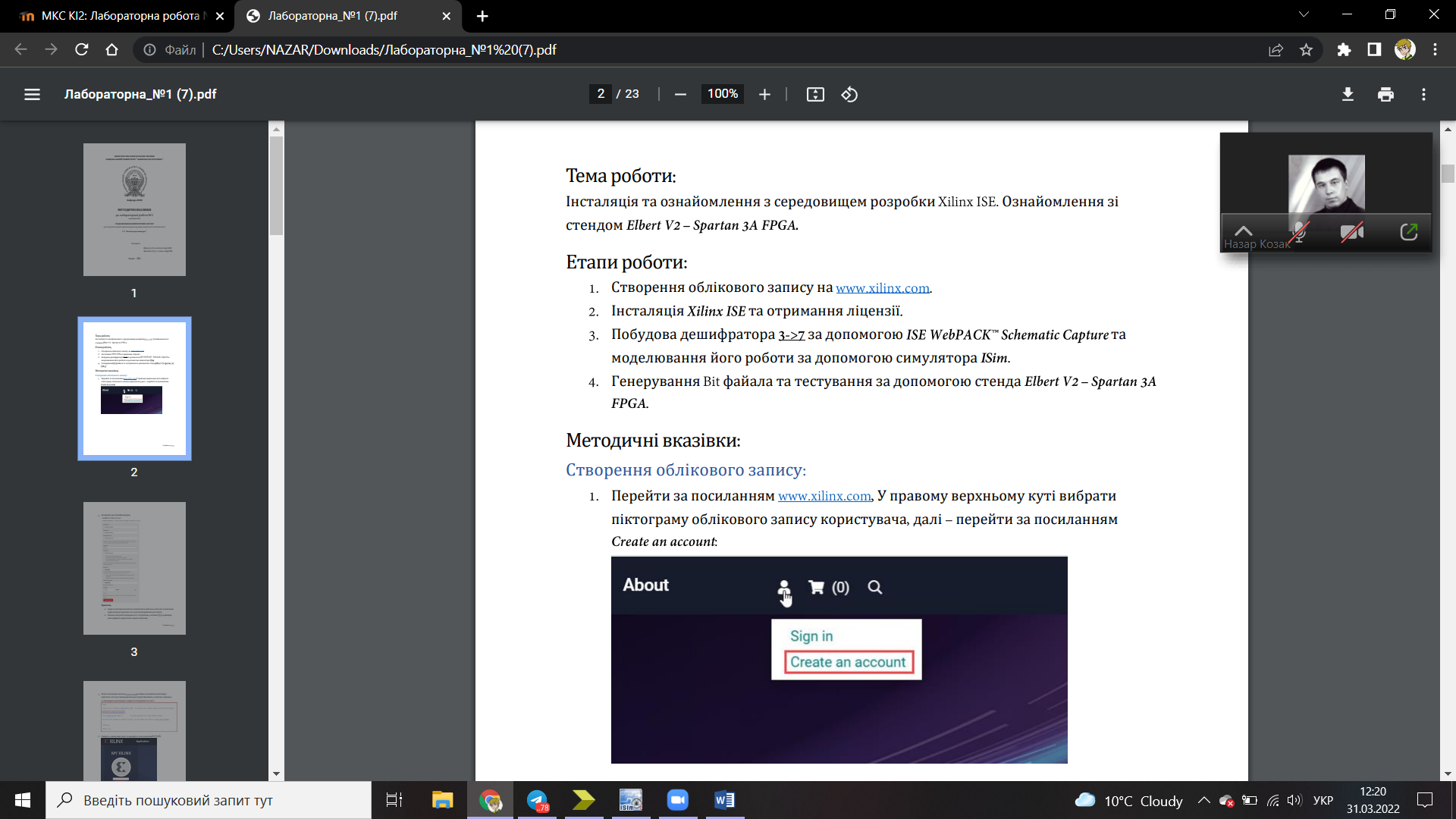
1. Виконав: ст.гр. КІ-201

Бенітез Гектор

1. Прийняв:
2. Козак Н.Б.
3. Львів 2023



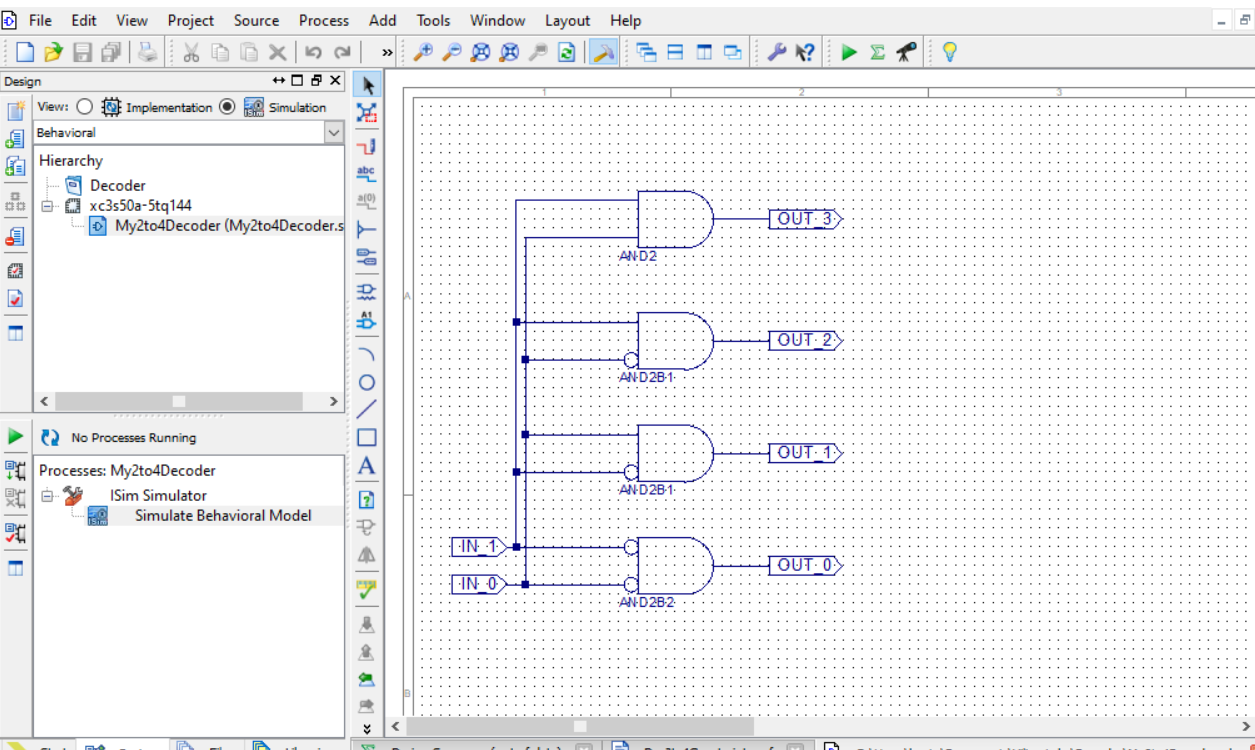
Мета роботи: ознайомитися з середовищем Xilinx ISE.



**Виконання завдання**

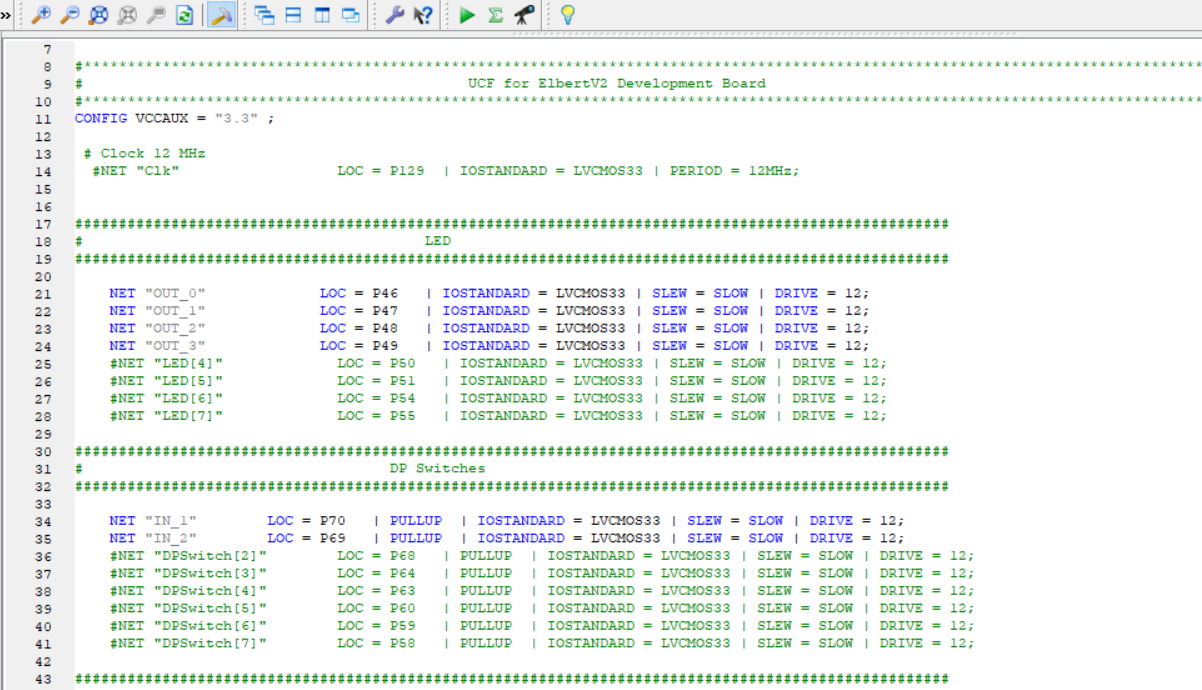
1. Використовуючи компоненти з бібліотеки реалізували схему згідно завдання.

На малюнку нижче зображено схему дешифратора 2 -> 4.

****

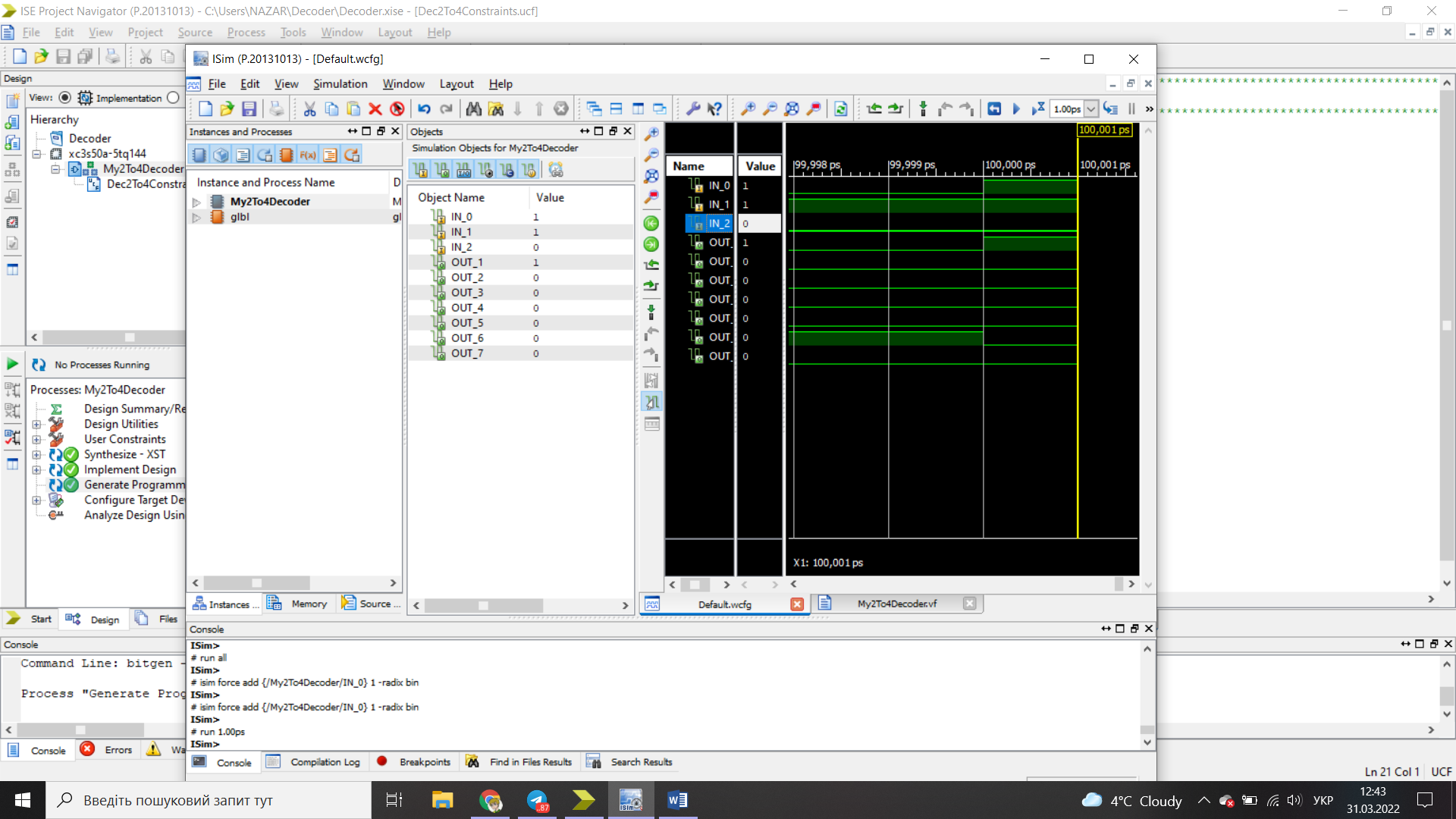
Мал. 1.1 Зображення схеми дешифратора 2 –> 4

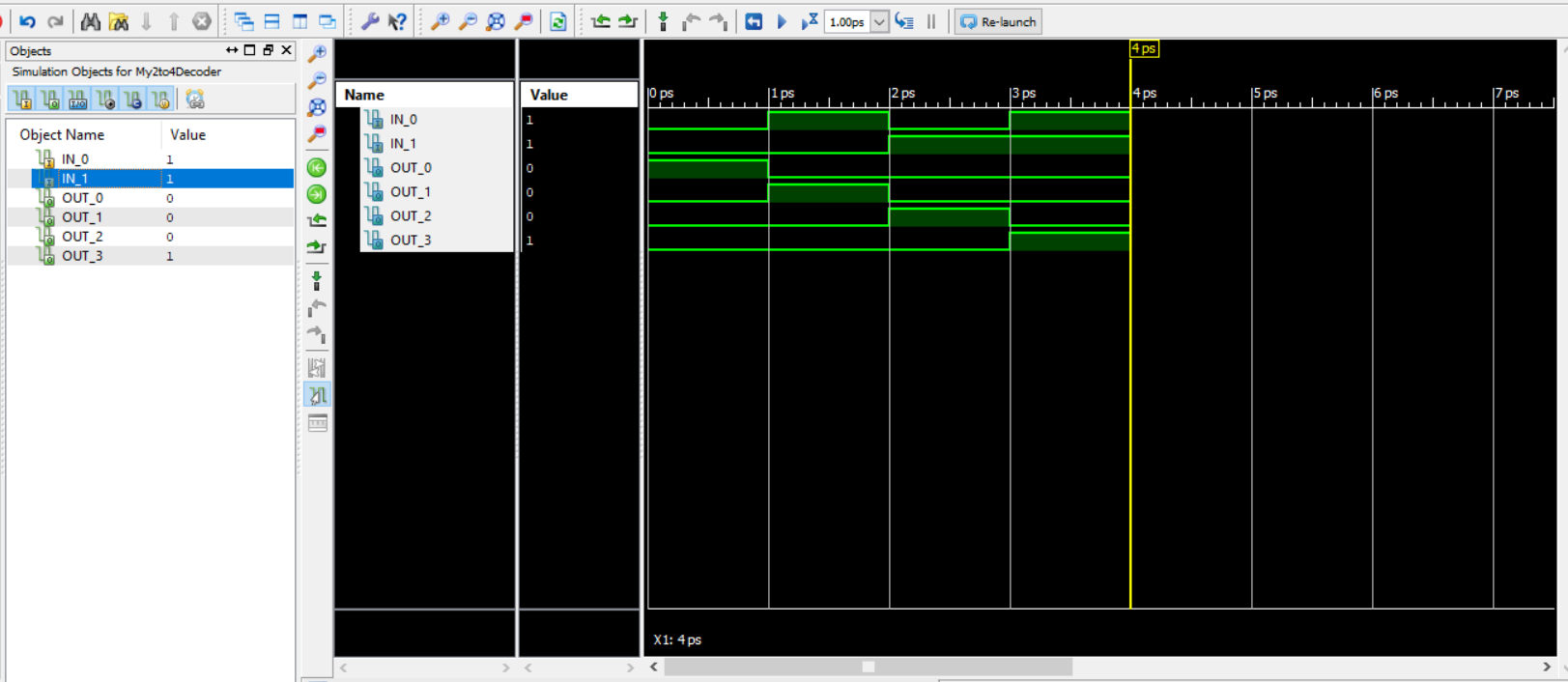
1. Призначили виводам схеми фіхзичні виводи цільової

****

Мал. 1.2 Призначення виводам схеми фіхзичні виводи цільової FPGA

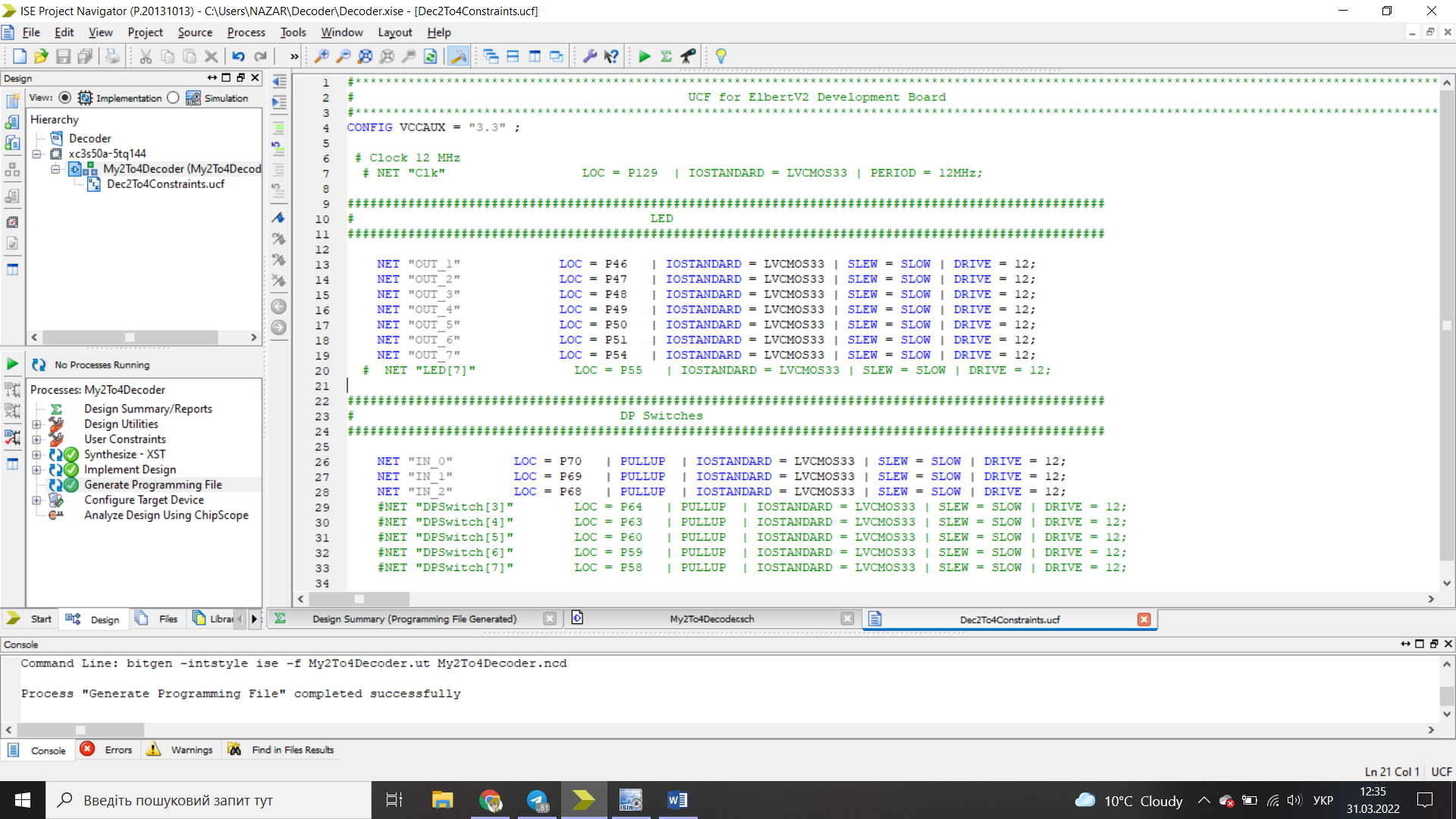
1. Перевірили роботу схеми за допомогою симулятора. Для кожного вхідного сигналу встановили значення (0 або 1) за допомогою команди Force Constant. На панелі команд симулятора натиснули Run for the time specified in the toolbar. Для симуляції роботи схеми з встановленими вхідними значеннями протягом 1ps





Мал. 1.3 Перевірка роботи схеми за допомогою симулятора

1. Послідовно запустили процеси Synthesize – XST, Implement Design, Generate Programming File. Переконалися, що всі процеси виконалися успішно.



Мал. 1.4 Успішне виконання всіх процесів

**Висновок:** на лабораторній роботія ознайомився з середовищем Xilinx ISE.